

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Hirokazu SAYAMA, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: SEMICONDUCTOR DEVICE INCLUDING GATE ELECTRODE FOR APPLYING TENSILE STRESS TO SILICON SUBSTRATE, AND METHOD OF MANUFACTURING THE SAME

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number _____, filed _____, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):
Application No. _____ Date Filed _____

- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2002-336669	November 20, 2002

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. _____ filed _____
- ☐ were submitted to the International Bureau in PCT Application Number _____
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. _____ filed _____; and
- ☐ (B) Application Serial No.(s) _____
☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak

Registration No. 24,913



22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

C. Irvin McClelland
Registration Number 21,124

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年11月20日

出願番号

Application Number:

特願2002-336669

[ST.10/C]:

[JP2002-336669]

出願人

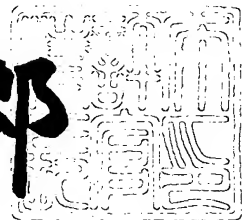
Applicant(s):

三菱電機株式会社

2002年12月13日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2002-3098132

【書類名】 特許願

【整理番号】 541610JP01

【提出日】 平成14年11月20日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/335
H01L 21/8238

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 佐山 弘和

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 太田 和伸

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 尾田 秀一

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 杉原 浩平

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100089233

【弁理士】

【氏名又は名称】 吉田 茂明

【選任した代理人】

【識別番号】 100088672

【弁理士】

【氏名又は名称】 吉竹 英俊

【選任した代理人】

【識別番号】 100088845

【弁理士】

【氏名又は名称】 有田 貴弘

【手数料の表示】

【予納台帳番号】 012852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 シリコン基板上に形成されたポリシリコンのゲート電極を備え、

前記ゲート電極は、内部応力として圧縮応力を有し、前記シリコン基板に引っ張り応力を印加しており、質量数 70 以上のイオンが注入されていることを特徴とする半導体装置。

【請求項 2】 請求項 1 に記載の半導体装置であって、
前記ゲート電極は、n チャネル型 MOS トランジスタのゲート電極であることを特徴とする半導体装置。

【請求項 3】 請求項 2 に記載の半導体装置であって、
前記質量数 70 以上のイオンは、前記 n チャネル型 MOS トランジスタのソースドレイン領域を形成するためのイオンであることを特徴とする半導体装置。

【請求項 4】 請求項 1 または請求項 2 に記載の半導体装置であって、
前記質量数 70 以上のイオンは、電氣的に不活性なイオンであることを特徴とする半導体装置。

【請求項 5】 請求項 1 から請求項 4 のいずれかに記載の半導体装置であって、さらに、
前記ゲート電極は、その下側エッジ部にシリコン酸化膜のバースピークを有することを特徴とする半導体装置。

【請求項 6】 請求項 1 または請求項 5 に記載の半導体装置であって、
前記シリコン基板は、歪みシリコン (Strained Silicon) 基板であることを特徴とする半導体装置。

【請求項 7】 (a) シリコン基板上に非単結晶シリコンのゲート電極を形成する工程と、

(b) 前記ゲート電極に質量数 70 以上のイオンを注入する工程と、

(c) 前記質量数 7 0 以上のイオンが注入された前記ゲート電極を覆うように、5 5 0℃以下の成膜温度で所定の膜を形成する工程と、

(d) 前記所定の膜で前記ゲート電極を覆った状態で、5 5 0℃以上の温度で熱処理を行う工程とを備えることを特徴とする半導体装置の製造方法。

【請求項 8】 請求項 7 に記載の半導体装置の製造方法であって、前記ゲート電極は、n チャンネル型 MOS トランジスタのゲート電極であることを特徴とする半導体装置の製造方法。

【請求項 9】 請求項 7 に記載の半導体装置の製造方法であって、前記工程 (a) で形成される前記ゲート電極は、複数個であり、前記工程 (b) は、前記複数個のゲート電極のうちの所定のゲート電極に対してのみ行われることを特徴とする半導体装置の製造方法。

【請求項 1 0】 請求項 9 に記載の半導体装置の製造方法であって、前記複数個のゲート電極は、n チャンネル型 MOS トランジスタのゲート電極および p チャンネル型 MOS トランジスタのゲート電極を含み、前記工程 (b) における前記所定のゲート電極は、前記 n チャンネル型 MOS トランジスタのゲート電極であることを特徴とする半導体装置の製造方法。

【請求項 1 1】 請求項 9 に記載の半導体装置の製造方法であって、前記複数個のゲート電極は、複数個の n チャンネル型 MOS トランジスタのゲート電極を含むことを特徴とする半導体装置の製造方法。

【請求項 1 2】 請求項 7 に記載の半導体装置の製造方法であって、さらに、前記工程 (a) で形成される前記ゲート電極は、複数個であり、(e) 前記工程 (d) よりも前に行われ、前記複数個の前記ゲート電極のうちの所定のゲート電極上の前記所定の膜を除去する工程をさらに備えることを特徴とする半導体装置の製造方法。

【請求項 1 3】 請求項 8、請求項 1 0、請求項 1 1 のいずれかに記載の半導体装置の製造方法であって、

前記工程（b）のイオン注入は、前記 n チャネル型 MOS トランジスタのソースドレイン領域を形成するためのイオン注入であることを特徴とする半導体装置の製造方法。

【請求項 1 4】 請求項 7 から請求項 1 2 のいずれかに記載の半導体装置の製造方法であって、

前記工程（b）において注入されるイオンは、電氣的に不活性なイオンであることを特徴とする半導体装置の製造方法。

【請求項 1 5】 請求項 7 から請求項 1 4 のいずれかに記載の半導体装置の製造方法であって、

前記所定の膜は、前記加熱処理により収縮する特性を有する膜であることを特徴とする半導体装置の製造方法。

【請求項 1 6】 請求項 7 から請求項 1 4 のいずれかに記載の半導体装置の製造方法であって、

前記所定の膜は、シリコン酸化膜であることを特徴とする半導体装置の製造方法。

【請求項 1 7】 請求項 7 から請求項 1 6 のいずれかに記載の半導体装置の製造方法であって、さらに、

（f）前記シリコン基板および前記ゲート電極の表面を酸化することで、前記ゲート電極の下側エッジ部にシリコン酸化膜のバースピークを形成する工程を備えることを特徴とする半導体装置の製造方法。

【請求項 1 8】 請求項 7 または請求項 1 7 に記載の半導体装置の製造方法であって、

前記シリコン基板は、歪みシリコン（Strained Silicon）基板であることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、MOS (Metal Oxide Semiconductor) 型電界効果トランジスタを有する半導体装置およびその製造方法に関するものである。

【0002】

【従来の技術】

MOS型電界効果トランジスタ (MOSトランジスタ) において、駆動電流であるドレイン電流を増加させることは当該MOSトランジスタの性能向上を図る方法の1つである。ドレイン電流を決定する因子は幾つかあるが、その1つにキャリア移動度がある。キャリア移動度は基板材質によりおおよそ決まってしまうためそれを変更するのは困難であるが、基板原子の格子間隔を変えることで、キャリアの散乱確率や有効質量が変わり、それによってキャリア移動度を変えることが可能であることが分かっている。

【0003】

SiGe上にSiを形成した基板では、SiGeの方が格子間隔が大きいため、その影響で上層のSiの格子間隔が広がる。このようにシリコンの格子間隔が広がった基板は「歪みシリコン (Strained Silicon) 基板」と呼ばれている。歪みシリコン基板によれば、通常のシリコン基板に比べチャネルの移動度が向上するため、それに形成されたMOSトランジスタのドレイン電流は増加する (例えば、非特許文献1、2)。

【0004】

しかし、歪みシリコン基板には、基板材料としてSiGeを用いることにより発生する問題が存在する。例えば、SiGeに起因する結晶欠陥の発生や表面ラフネスの悪化、SiGeの熱伝導性の悪さによる基板温度の上昇、SiGeとSiとの界面のバンド不連続面を介したpチャネル型MOSトランジスタにおける短チャネル効果の増大、十分に熱処理を加えることができないことによるプロセス的な問題 (STI (Shallow Trench Isolation) プロセスへの非適応性や、十分に活性化アニールを行えないこと等) である。そのため、歪みシリコン基板を実際のLSIに適用するには、いまだ乗り越えるべき課題が山積している。

【0005】

また、SiGeを使用せず、シリコン基板に応力を加えることでMOSトランジスタのチャンネル領域におけるシリコンの格子間隔を変える技術もある（例えば、特許文献1）。

【0006】

例えば、チャンネル領域に引っ張り応力が発生した場合、nチャンネル型MOSトランジスタ（nMOSトランジスタ）は駆動電流が増加するが、pチャンネル型MOSトランジスタ（pMOSトランジスタ）は駆動電流が減少する。逆に、チャンネル領域に圧縮応力が発生した場合、pMOSトランジスタは駆動電流が増加し、nMOSトランジスタは駆動電流が減少する。

【0007】

【非特許文献1】

T. ウェルザー (T. Welser) 他、「歪みシリコン／弛緩シリコンゲルマニウム構造に形成されたNMOSおよびPMOSトランジスタ (NMOS and PMOS Transistor Fabricated in Strained Silicon/Relaxed Silicon-Germanium Structures)」, International Electron Device Meeting 1992, 1992年, p. 1000

【非特許文献2】

T. ミズノ (T. Mizuno) 他、「SIMOX技術により形成されたSiGe-on-Insulator基板上の高性能な歪みSiのpMOSFET (High Performance Strained-Si p-MOSFETs on SiGe-on-Insulator Substrates Fabricated by SIMOX Technology)」, International Electron Device Meeting 1999, 1999年, p. 934

【特許文献1】

特開2002-93921号公報（第3-6頁、第1-19図）

【0008】

【発明が解決しようとする課題】

上記のように、MOSトランジスタの性能を向上させるためにSiGeを利用した歪みシリコン基板を用いるのにはいまだ課題が多いため、より簡単な方法が望まれている。

【 0 0 0 9 】

一方、特許文献 1 によれば、ゲート電極に応力を発生させ、シリコン基板のチャネル領域にその応力を加えることで、歪みシリコン基板を使用せずに MOS トランジスタのチャネルの性能を向上させることができる。

【 0 0 1 0 】

上述したように、チャネル領域に引っ張り応力が印加された場合、n MOS トランジスタは駆動電流が増加するが、逆に p MOS トランジスタは駆動電流が減少する。それに対し、チャネル領域に圧縮応力が印加された場合、p MOS トランジスタは駆動電流が増加し、逆に n MOS トランジスタは駆動電流が減少する。よって、少なくとも n MOS トランジスタと p MOS トランジスタとで発生する応力が異なるようにする必要がある。

【 0 0 1 1 】

そのため特許文献 1 では、ゲート電極の材料や成膜温度を、n MOS トランジスタと p MOS トランジスタとの間で互いに異ならす必要がある。その結果、n MOS トランジスタのゲート電極と p MOS トランジスタのゲート電極とを同一の工程で形成することができないため、製造工程が複雑化してしまう。

【 0 0 1 2 】

本発明は以上のような課題を解決するためになされたものであって、所望の MOS トランジスタのチャネル領域のみに引っ張り応力を印加してキャリア移動度を向上させ、且つ、製造工程の複雑化を抑えることができる半導体装置およびその製造方法を提供することを目的とする。

【 0 0 1 3 】

【課題を解決するための手段】

本発明に係る半導体装置は、シリコン基板上に形成されたポリシリコンのゲート電極を備え、前記ゲート電極は、内部応力として圧縮応力を有し、前記シリコン基板に引っ張り応力を印加しており、質量数 7 0 以上のイオンが注入されていることを特徴とする。

【 0 0 1 4 】

また、本発明に係る半導体装置の製造方法は、(a) シリコン基板上に非単結

晶シリコンのゲート電極を形成する工程と、（b）前記ゲート電極に質量数70以上のイオンを注入する工程と、（c）前記質量数70以上のイオンが注入された前記ゲート電極を覆うように、550℃以下の成膜温度で所定の膜を形成する工程と、（d）前記所定の膜で前記ゲート電極を覆った状態で、550℃以上の温度で熱処理を行う工程とを備えることを特徴とする。

【0015】

【発明の実施の形態】

＜実施の形態1＞

本発明者は、大量にイオンが注入された非晶質シリコンに熱処理を加えた場合、当該熱処理によりシリコンが再結晶化して多結晶シリコン（ポリシリコン）になる際、その体積が膨張することを見出した。また、その膨張量は注入されたイオンの質量に大きく依存し、質量が大きい程（特に質量数70以上）大きく膨張することが分かった。また、注入されたイオンのドーズ量が大きい程、大きく膨張することも確認された。

【0016】

図1～図9は、実施の形態1に係る半導体装置の製造工程を示す図である。なお、これらの図において、図中左側はnMOSトランジスタが形成される領域（以下「nMOS領域」）であり、図中右側はpMOSトランジスタが形成される領域（以下「pMOS領域」）であると仮定する。

【0017】

まず、シリコン基板10上に、素子分離膜11、pウェル12、nウェル22を常法により形成する。その後、それらの上にゲート絶縁膜材料としてのシリコン酸化膜31を形成する。次いでシリコン酸化膜31上に、ゲート電極材料として非単結晶（非晶質、多結晶を含む）シリコン膜32を形成する（図1）。

【0018】

次に、フォトリソグラフィ技術を用いて非単結晶シリコン膜32をパターニングすることで、pウェル12上にゲート電極14を、nウェル22上にゲート電極24をそれぞれ形成する（図2）。

【0019】

その後、フォトリソグラフィ技術を用いて p M O S 領域を開口したレジストマスク 3 3 を形成する。そして、当該レジストマスク 3 3 およびゲート電極 2 4 をマスクとして、B イオン等比較的質量数が小さい p 型ドーパントを注入し、n ウェル 2 2 内の比較的浅い位置に p 型ソースドレインエクステンション層 2 6 a を形成する（図 3）。このとき、ゲート電極 2 4 にもイオンが注入されるので、ゲート電極 2 4 を形成する非単結晶シリコンの一部は非晶質化するが、当該イオンの質量数は比較的小さいため非晶質化の程度は小さい。

【 0 0 2 0 】

次いで、フォトリソグラフィ技術を用いて n M O S 領域を開口したレジストマスク 3 4 を形成する。そして、当該レジストマスク 3 4 並びにゲート電極 1 4 をマスクとして、A s イオンや S b イオン等、質量数が 7 0 以上の比較的質量数が大きい n 型ドーパントを注入し、p ウェル 1 2 内の比較的浅い位置に n 型ソースドレインエクステンション層 1 6 a を形成する（図 4）。このとき、ゲート電極 1 4 にも比較的質量数が大きいイオンが注入されるので、ゲート電極 1 4 を形成する非単結晶シリコンの一部は非晶質化する。

【 0 0 2 1 】

さらに、ゲート電極 1 4，2 4 それぞれの側面にサイドウォール 1 5，2 5 を形成すると共に、シリコン酸化膜 3 1 をエッチングしてゲート電極 1 4，2 4 それぞれの下にゲート絶縁膜 1 3，2 3 を形成する（図 5）。このとき、サイドウォール 1 5，2 5 の成膜温度は、シリコンの再結晶化が開始される温度（約 5 5 0℃）以下とする。

【 0 0 2 2 】

続いて再度、p M O S 領域を開口したレジストマスク 3 5 を形成する。そして、当該レジストマスク 3 5、ゲート電極 2 4 並びにサイドウォール 2 5 をマスクとして、B イオン等比較的質量数が小さい p 型ドーパントをドーズ量 $4 \times 10^{15} / \text{cm}^2$ 以上注入し、n ウェル 2 2 内の比較的深い位置に p 型ソースドレイン拡散層 2 6 b を形成する（図 6）。それにより、p 型ソースドレインエクステンション層 2 6 a および p 型ソースドレイン拡散層 2 6 b とからなる p 型ソースドレイン領域 2 6 が形成される。このとき、ゲート電極 2 4 にもイオンが注入され、

ゲート電極 2 4 を形成する非単結晶シリコンの一部は非晶質化するが、ここでも当該イオンの質量数は比較的小さいためその非晶質化の程度は小さい。

【 0 0 2 3 】

次いで、nMOSトランジスタを形成する領域を開口したレジストマスク 3 6 を形成する。そして、当該レジストマスク 3 6、ゲート電極 1 4 並びにサイドウォール 1 5 をマスクとして、As イオンや Sb イオン等の比較的質量数が高い n 型ドーパントを注入し、p ウェル 1 2 内の比較的深い位置に n 型ソースドレイン拡散層 1 6 b を形成する（図 7）。それにより、n 型ソースドレインエクステンション層 1 6 a および n 型ソースドレイン拡散層 1 6 b とからなる n 型ソースドレイン領域 1 6 が形成される。ここでも、ゲート電極 1 4 には比較的質量数の大きいイオンが注入されるので、ゲート電極 1 4 を形成する非単結晶シリコンの非晶質化はさらに進行する。

【 0 0 2 4 】

その後、シリコン酸化膜 4 0 を、ゲート電極 1 4、2 4 およびサイドウォール 1 5、2 5 上に、シリコンの再結晶化が開始される温度（約 5 5 0℃）以下の成膜温度で形成する（図 8）。

【 0 0 2 5 】

そして、ゲート電極 1 4、2 4 およびサイドウォール 1 5、2 5 をシリコン酸化膜 4 0 で覆った状態で、9 5 0～1 1 0 0℃程度の熱処理（例えば RTA（Rapid Thermal Annealing）で 0～3 0 秒（0 秒はスパイクアニール）の熱処理）を行うことによって、イオン照射による損傷を修復すると共にドーパントの活性化を行う。このとき同時に、非晶質シリコンの再結晶化が起こり、ゲート電極 1 4、2 4 はポリシリコンとなる。

【 0 0 2 6 】

このとき、nMOSトランジスタのゲート電極 1 4 は、As イオンや Sb イオン等の比較的質量数が高い（質量数 7 0 以上）イオンが大量に注入されているために膨張しようとする。しかし、ゲート電極 1 4 およびサイドウォール 1 5 の表面は、シリコン酸化膜 4 0 によって覆われているため、殆ど膨張することができない。そのため、その膨張しようとする力によりゲート電極 1 4 に内部応力と

して強い圧縮応力が残留する。それに伴い、ゲート電極 1 4 の下方のチャネル領域には、引っ張り応力が加わることになる。

【 0 0 2 7 】

一方、pMOSトランジスタのゲート電極 2 4 は、比較的質量数の小さいイオンのみが注入されているため殆ど膨張しようとはせず、ゲート電極 2 4 内には殆ど応力は残留しない。よって、ゲート電極 2 4 の下方のチャネル領域には殆ど応力が加わらない。

【 0 0 2 8 】

そして、例えばこれらのゲート電極 1 4, 2 4 およびソースドレイン領域 1 6, 2 6 上部をシリサイド化する場合は、シリコン酸化膜 4 0 を除去し、C o 等の金属膜をスパッタ法により全面に形成し、3 5 0 ~ 5 5 0 ℃ の比較的低温の熱処理を加えることで、当該金属膜とゲート電極 1 4, 2 4 およびソースドレイン領域 1 6, 2 6 とを反応させる。そして、素子分離膜 1 1 およびサイドウォール 1 5, 2 5 上に未反応で残った金属膜を選択的に除去する。続いて、さらに高温の熱処理を加えることで、ゲート電極 1 4, 2 4 上およびソースドレイン領域 1 6, 2 6 上部に、それぞれシリサイド層 1 4 a, 2 4 a, 1 6 c, 2 6 c が形成される (図 9)。

【 0 0 2 9 】

その後、所定の層間絶縁膜、コンタクトおよび配線等を形成して半導体装置の製造が完了する。

【 0 0 3 0 】

図 1 0 (a) は、本実施の形態に係る nMOS トランジスタのチャネル長方向の断面における応力分布図であり、図 1 0 (b) は従来の nMOS トランジスタ (即ち、ゲート電極 1 4 に比較的質量数の小さいイオンのみが注入された nMOS トランジスタ) のチャネル長方向の断面における応力分布図である。本実施の形態に係る nMOS トランジスタにおいて、ゲート電極 1 4 には内部に強い圧縮応力が残留し、チャネル領域内には引っ張り応力が印加されているのが分かる。よって、nMOS トランジスタのチャネル領域のシリコンの格子間隔は広がるためキャリア移動度が向上し、MOS トランジスタの性能向上に寄与できる。

【 0 0 3 1 】

一方、pMOSトランジスタのゲート電極24内には殆ど応力は残留しないため、ゲート電極24の下方のチャネル領域には殆ど応力が加わらない。上述したように、引っ張り応力がpMOSトランジスタのチャネル領域に印加されることは、当該pMOSトランジスタのドレイン電流は減少するため有効ではない。つまり、pMOSトランジスタおよびnMOSトランジスタの両方を有するデバイスにおいては、引っ張り応力はnMOSトランジスタのチャネル領域にのみ印加されることが望ましい。本実施の形態によれば、pMOSトランジスタのチャネル領域には引っ張り応力は加わらないので、pMOSトランジスタのドレイン電流の低下を抑えつつ、nMOSトランジスタの特性向上を図ることができる。

【 0 0 3 2 】

また、本実施の形態によれば、ゲート電極14に注入するイオン（n型ソースドレイン領域16を形成するためのイオン）としては比較的質量数の大きいものを用い、ゲート電極24に注入するイオン（p型ソースドレイン領域26を形成するためのイオン）としては比較的質量数の小さいものを用いることにより、nMOSトランジスタのチャネル領域にのみ強い引っ張り応力を印加することができる。つまり、ゲート電極14とゲート電極24とを同一の工程で形成しても、その後に注入するn型ドーパントとp型ドーパントとの間で質量数の差をつけることによって、nMOSトランジスタとpMOSトランジスタとでチャネル領域に印加される応力を互いに異ならしめることができる。即ち、nMOSトランジスタとpMOSトランジスタとを互いに異なる工程で形成する必要はなく、製造工程の複雑化は抑えられている。

【 0 0 3 3 】

上述したように、大量にイオンが注入された非晶質シリコンが再結晶化してポリシリコンに変化する際、その注入されたイオンの質量が大きい程、大きく膨張しようとする。従って、ゲート電極14に注入するイオンのドーズ量および質量数が大きい程、ゲート電極14内に残留する圧縮応力は大きくなる。そして、当該ゲート電極14の下方のチャネル領域に印加される引っ張り応力は大きくなり、本実施の形態の効果は向上する。同様に、ゲート電極14内に残留する圧縮応

力は、ゲート電極 1 4 に注入されるイオンのドーズ量が大きい程大きくなる。上記の例では n 型ソースドレイン拡散層 1 6 b の形成に、ドーズ量 $4 \times 10^{15} / \text{cm}^2$ 以上のイオン注入を行ったが、これは n 型ソースドレイン拡散層 1 6 b を形成するための標準的なドーズ量であり、本発明の適用をこれに限定するものではない。もちろん $4 \times 10^{15} / \text{cm}^2$ 程度のドーズ量でも十分に本発明の効果を得ることができるが、さらに多くのドーズ量を注入すれば、本発明の効果はさらに大きくなる。但し、ゲート電極 1 4 の圧縮応力自体は、 $4 \times 10^{15} / \text{cm}^2$ よりも小さいドーズ量の注入であっても発生する。

【 0 0 3 4 】

また、図 8 で示した工程においては、ゲート電極 1 4, 2 4 上に形成する所定の膜として、シリコン酸化膜 4 0 を形成したが、シリコンの再結晶化が開始される温度（約 550°C ）以下の条件で形成可能な膜であれば他の材料の膜であってもよい。ゲート電極 1 4 に圧縮応力を残留させる目的であれば、必ずしも絶縁膜である必要はなく、例えば金属やシリサイド並びにそれらの積層膜などであってもよい。但し、その場合は熱処理によってゲート電極 1 4 に圧縮応力を発生させた後、一旦その膜を除去し、再度シリコン酸化膜等の絶縁膜を形成する。

【 0 0 3 5 】

また、上記所定の膜 4 0 がその熱処理により収縮する特性を有している場合も（シリコン酸化膜はその特性を有している）、ゲート電極 1 4 に残留する圧縮応力は大きくなる。さらに、ゲート電極 1 4 に残留する圧縮応力は、非晶質シリコンを再結晶化させる熱処理の温度が高い程、また所定の膜 4 0 の厚さが厚い程大きくなり、キャリア移動度向上の効果が大きくなることが本発明者によって確認された。

【 0 0 3 6 】

なお、本実施の形態においては MOS トランジスタを形成する基板を、通常のシリコン基板として説明したが、上述した「歪みシリコン基板」であってもよい。その場合、nMOS トランジスタのチャネル領域におけるチャネル移動度をさらに向上させることができることは明らかである。

【 0 0 3 7 】

＜実施の形態 2＞

実施の形態 1 で説明したように、ゲート電極 2 4 には比較的質量数の小さいイオンが注入されているので、その上にシリコン酸化膜 4 0 があったとしても、殆ど応力は残留しない。しかし、注入されるイオンが大量になる場合は、質量数の小さいイオンを注入したとしても、圧縮応力が残留してしまう可能性がある。

【 0 0 3 8 】

以下、実施の形態 2 に係る半導体装置の製造工程を説明する。まず、実施の形態 1 で図 1 ～図 8 で示したものと同様の工程で、nMOS トランジスタおよび pMOS トランジスタを形成し、その上にシリコン酸化膜 4 0 を形成する。そして、図 1 1 に示すように pMOS 領域上のシリコン酸化膜 4 0 を除去し、開口する。

【 0 0 3 9 】

その後、950～1100℃程度の熱処理を行うことによって、イオン照射による損傷を修復すると共にドーパントの活性化を行う。このとき同時に、非晶質シリコンの再結晶化が起こり、ゲート電極 1 4, 2 4 はポリシリコンとなる。

【 0 0 4 0 】

このとき、nMOS トランジスタのゲート電極 1 4 およびサイドウォール 1 5 の表面はシリコン酸化膜 4 0 によって覆われているため、膨張しようとする力によりゲート電極 1 4 に内部応力として強い圧縮応力が残留する。それに伴い、ゲート電極 1 4 の下方のチャネル領域には、引っ張り応力が加わることになる。

【 0 0 4 1 】

一方、pMOS トランジスタのゲート電極 2 4 およびサイドウォール 2 5 の表面にはシリコン酸化膜 4 0 に覆われておらず露出しているため、仮にゲート電極 2 4 が多少膨張したとしても、ゲート電極 2 4 内には殆ど応力は残留しない。つまり、実施の形態 1 よりもさらに pMOS トランジスタのチャネル領域に引っ張り応力が印加されることが抑制される。

【 0 0 4 2 】

＜実施の形態 3＞

実施の形態 1 および実施の形態 2 では、nMOS トランジスタのゲート電極 1

4 を膨張させるためのイオンの注入に、n 型ソースドレイン拡散層 1 6 b を形成するためのイオン注入を利用した。しかし、ゲート電極 1 4 にイオンを注入するために、n 型ソースドレイン拡散層 1 6 b を形成するためのイオン注入工程とは別のイオン注入を行ってもよい。

【 0 0 4 3 】

以下、実施の形態 3 に係る半導体装置の製造工程を説明する。まず、実施の形態 1 で図 1 ～図 6 で示したものと同様の工程で、nMOS トランジスタおよび pMOS トランジスタを形成する。そして、図 1 2 に示すように、nMOS 領域上を開口したレジストマスク 3 6 を形成し、nMOS 領域に n 型ソースドレイン拡散層 1 6 b の形成に先立って、電氣的に不活性且つ比較的質量数が高い（質量数 7 0 以上）例えば Ge イオンを全面に $4 \times 10^{15} / \text{cm}^2$ 以上注入する。このとき、ゲート電極 1 4 だけでなく nMOS トランジスタのソースドレイン領域にもイオンが注入される。しかし、本工程で注入されるイオンは電氣的に不活性であるので、ドーパントとして働くものではない。

【 0 0 4 4 】

そして、図 7 に示すように n 型ドーパントを注入し、n 型ソースドレイン拡散層 1 6 b を形成する。このときの n 型ドーパントは例えば P イオン等の比較的質量数の小さいイオンでもよい。

【 0 0 4 5 】

その後は実施の形態 1 と同様に、図 8 のようにゲート電極 1 4, 2 4、サイドウォール 1 5, 2 5 上にシリコン酸化膜 4 0 を形成し、9 5 0 ～ 1 1 0 0℃程度の熱処理を行う。それにより、非晶質シリコンの再結晶化が起こり、ゲート電極 1 4, 2 4 はポリシリコンとなる。

【 0 0 4 6 】

このとき、nMOS トランジスタのゲート電極 1 4 には、上記工程により電氣的に不活性且つ比較的質量数の大きいイオンが大量に注入されており、ゲート電極 1 4 およびサイドウォール 1 5 の表面はシリコン酸化膜 4 0 によって覆われているため、膨張しようとする力によりゲート電極 1 4 に内部応力として圧縮応力が残留する。それに伴い、ゲート電極 1 4 の下方のチャネル領域には、引っ張り

応力が加わることになる。

【0047】

一方、pMOSトランジスタのゲート電極24は、比較的質量数の小さいイオンのみが注入されているため、殆ど応力は残留しない。よって、ゲート電極24の下方のチャネル領域には殆ど応力が加わらない。

【0048】

＜実施の形態4＞

一般に、強い応力を加えたシリコン基板には結晶欠陥が発生しやすく、結晶欠陥を有するシリコン基板上に形成されたトランジスタにおいては、接合リーク電流やゲート電流、サブスレッショルドリーク電流等の漏れ電流が増加してしまう。つまり、本発明に係るnMOSトランジスタにおいては、チャネル領域に印加された引っ張り応力により結晶欠陥が発生し、漏れ電流が大きくなる可能性が従来のものよりも高くなることが考えられる。

【0049】

例えば、一般的な半導体装置のロジック部などは高速な動作・応答を主目的としており、多少の漏れ電流があっても高速動作が優先されるが、一方、例えばSRAMやDRAMなどのメモリ部やモバイル通信装置用LSIのロジック部においては、漏れ電流による僅かな電力消費の増加も抑える必要がある。従って、本発明に係るMOSトランジスタは、高速動作が優先される回路部分（以下「高速回路部」）には有効であるが、電力消費を抑えたい回路部分（以下「低消費電力回路部」）には不向きであるとも言える。言い換えれば、半導体装置の高速回路部にのみ本発明に係るMOSトランジスタを適用し、低消費電力回路部には従来のMOSトランジスタを適用することが望ましい。

【0050】

図13～図16は、実施の形態4に係る半導体装置の製造工程を示す図である。これらの図においては、図13に示しているように、左側は高速動作が優先される高速回路部、右側は電力消費を抑えたい低消費電力回路部である。また、高速回路部および低消費電力回路部のそれぞれが、nMOSトランジスタが形成されるnMOS領域並びにpMOSトランジスタが形成されるpMOS領域を有し

ていると仮定する。以下、これらの図を用いて本実施の形態に係る半導体装置の製造工程を説明する。

【0051】

まず、シリコン基板10の上に、素子分離膜11、pウェル12、52、nウェル22、62を常法により形成する。その後、実施の形態1において図1～図5で示したものと同様の工程で、高速回路部のnMOS領域にゲート絶縁膜13、ゲート電極14、サイドウォール15およびn型ソースドレインエクステンション層16aを、高速回路部のpMOS領域にゲート絶縁膜23、ゲート電極24、サイドウォール25およびp型ソースドレインエクステンション層26aを、低消費電力回路部のnMOS領域にゲート絶縁膜53、ゲート電極54、サイドウォール55およびn型ソースドレインエクステンション層56aを、低消費電力回路部のpMOS領域にゲート絶縁膜63、ゲート電極64、サイドウォール65およびp型ソースドレインエクステンション層66aを、それぞれ形成する。

【0052】

続いて、高速回路部および低消費電力回路部のpMOS領域を開口したレジストマスク71を形成する。そして、当該レジストマスク71、ゲート電極24、64、並びにサイドウォール25、65をマスクとして、Bイオン等比較的質量数が小さいp型ドーパントをドーズ量 $4 \times 10^{15} / \text{cm}^2$ 以上注入し、p型ソースドレイン拡散層26bを形成する（図13）。それにより、p型ソースドレインエクステンション層26aおよびp型ソースドレイン拡散層26bとからなるp型ソースドレイン領域26、並びに、p型ソースドレインエクステンション層66aおよびp型ソースドレイン拡散層66bとからなるp型ソースドレイン領域66が形成される。このとき、ゲート電極24、64にも当該イオンが注入される。

【0053】

次いで、高速回路部および低消費電力回路部のnMOS領域を開口したレジストマスク72を形成する。そして、当該レジストマスク72、ゲート電極14、54並びにサイドウォール15、55をマスクとして、AsイオンやSbイオン

等の比較的質量数が高いn型ドーパントを注入し、n型ソースドレイン拡散層16bを形成する(図14)。それにより、n型ソースドレインエクステンション層16aおよびn型ソースドレイン拡散層16bとからなるn型ソースドレイン領域16、並びに、n型ソースドレインエクステンション層56aおよびn型ソースドレイン拡散層56bとからなるn型ソースドレイン領域56が形成される。このとき、ゲート電極14、54にも当該イオンが注入される。

【0054】

その後、高速回路部上を覆い低消費電力回路部上を開口したシリコン酸化膜80を、高速回路部のゲート電極14、24およびサイドウォール15、25上に、シリコンの再結晶化が開始される温度(約550℃)以下の条件で形成する(図15)。

【0055】

そして、ゲート電極14、24およびサイドウォール15、25をシリコン酸化膜80で覆った状態で、950～1100℃程度の熱処理を行う。このとき非晶質シリコンの再結晶化が起こり、ゲート電極14、24、54、64はポリシリコンとなる。

【0056】

ここで、高速回路部のnMOSトランジスタのゲート電極14にはAsイオンやSbイオン等の比較的質量数が高い(質量数70以上)イオンが大量に注入され、且つ、ゲート電極14およびサイドウォール15の表面はシリコン酸化膜80によって覆われているため、ゲート電極14の内部応力として強い圧縮応力が残留する。それに伴い、ゲート電極14の下方のチャネル領域には、引っ張り応力が加わることになる。

【0057】

一方、低消費電力回路部のnMOSトランジスタのゲート電極54にはAsイオンやSbイオン等の比較的質量数が高いイオンが大量に注入されているが、ゲート電極54およびサイドウォール55の表面は露出しているため、ゲート電極14の内部には殆ど応力が残留しない。よって、ゲート電極54の下方のチャネル領域には、殆ど応力は加わらない。

【 0 0 5 8 】

また、高速回路部並びに低消費電力回路部の p M O S トランジスタのゲート電極 2 4 , 6 4 には、比較的質量数の小さいイオンのみが注入されているため、その内部に殆ど応力は残留しない。よって、ゲート電極 2 4 , 6 4 の下方のチャネル領域には殆ど応力が加わらない。

【 0 0 5 9 】

以上のように、本実施の形態に係る製造工程よれば高速回路部の n M O S トランジスタのチャネル領域のみに強い引っ張り応力を印加して性能向上を図ることができる。それと共に、高速回路部の p M O S トランジスタおよび低消費電力回路部の p M O S 並びに n M O S トランジスタのチャネル領域には殆ど応力は印加されないため、結晶欠陥の発生による漏れ電流の増大を抑えることができる。

【 0 0 6 0 】

そして、例えば所定の M O S トランジスタのゲート電極およびソースドレイン領域をシリサイド化する場合は、C o 等の金属膜をスパッタ法により形成し、3 5 0 ~ 5 5 0 ℃ の比較的低温の熱処理を加えることで、金属膜とシリコンとを反応させる。そして、絶縁膜上に未反応で残った金属膜を選択的に除去する。続いて、さらに高温の熱処理を加える。

【 0 0 6 1 】

例えば、モバイル通信装置用 L S I においては、低消費電力回路部の M O S トランジスタのゲート電極およびソースドレイン領域をシリサイド化することが多い。その場合は、上記工程において形成した、高速回路部上を覆い低消費電力回路部上を開口したシリコン酸化膜 8 0 をそのままマスクとして利用することもできる。それにより、低消費電力回路部のゲート電極 5 4 , 6 4 上部およびソースドレイン領域 5 6 , 6 6 上部のそれぞれにシリサイド層 5 4 a , 6 4 a , 5 6 c , 6 6 c が形成される (図 1 6) 。

【 0 0 6 2 】

本実施の形態によれば非晶質シリコンを再結晶化させる際に、シリコン酸化膜 8 0 の低消費電力回路部上を開口しておくことで、高速回路部の n M O S トランジスタのチャネル領域にのみ強い引っ張り応力を印加することができる。つまり

、ゲート電極 1 4, 2 4, 5 4, 6 4 を全て同一の工程で形成しても、所定の n M O S トランジスタのチャネル領域のみに引っ張り応力を印加することができる。よって、製造工程の複雑化は抑えられている。

【 0 0 6 3 】

< 実施の形態 5 >

本実施の形態では実施の形態 4 と同様に、半導体装置の高速部にのみ本発明に係る M O S トランジスタを適用し、低消費電力部には従来の M O S トランジスタを適用するための別の手法を説明する。

【 0 0 6 4 】

図 1 7 ～ 図 2 0 は、実施の形態 5 に係る半導体装置の製造工程を示す図である。これらの図においても、図 1 3 と同様に、左側は高速動作が優先される高速回路部、右側は電力消費を抑えたい低消費電力回路部であり、そのそれぞれが n M O S 領域並びに p M O S 領域を有している。

【 0 0 6 5 】

以下、これらの図を用いて本実施の形態に係る半導体装置の製造工程を説明する。まず、実施の形態 4 と同様に、シリコン基板 1 0 に上に、素子分離膜 1 1、p ウェル 1 2, 5 2、n ウェル 2 2, 6 2 を形成し、高速回路部の n M O S 領域にゲート絶縁膜 1 3、ゲート電極 1 4、サイドウォール 1 5 および n 型ソースドレインエクステンション層 1 6 a を、高速回路部の p M O S 領域にゲート絶縁膜 2 3、ゲート電極 2 4、サイドウォール 2 5 および p 型ソースドレインエクステンション層 2 6 a を、低消費電力回路部の n M O S 領域にゲート絶縁膜 5 3、ゲート電極 5 4、サイドウォール 5 5 および n 型ソースドレインエクステンション層 5 6 a を、低消費電力回路部の p M O S 領域にゲート絶縁膜 6 3、ゲート電極 6 4、サイドウォール 6 5 および p 型ソースドレインエクステンション層 6 6 a を、それぞれ形成する。但し、n 型ソースドレインエクステンション層 1 6 a および n 型ソースドレインエクステンション層 5 6 a の形成の際には P イオン等比較的質量数が軽い n 型ドーパントを注入する。

【 0 0 6 6 】

続いて、高速回路部および低消費電力回路部の p M O S 領域を開口したレジス

トマスク 7 1 を形成する。そして、当該レジストマスク 7 1、ゲート電極 2 4、6 4、並びにサイドウォール 2 5、6 5 をマスクとして、B イオン等比較的質量数が小さい p 型ドーパントをドーズ量 $4 \times 10^{15} / \text{cm}^2$ 以上注入し、p 型ソースドレイン拡散層 2 6 b を形成する（図 1 3）。それにより、p 型ソースドレインエクステンション層 2 6 a および p 型ソースドレイン拡散層 2 6 b とからなる p 型ソースドレイン領域 2 6、並びに、p 型ソースドレインエクステンション層 6 6 a および p 型ソースドレイン拡散層 6 6 b とからなる p 型ソースドレイン領域 6 6 が形成される。このとき、ゲート電極 2 4、6 4 にも当該イオンが注入される。

【 0 0 6 7 】

次いで、低消費電力回路部の nMOS 領域を開口したレジストマスク 7 3 を形成する。そして、当該レジストマスク 7 3、ゲート電極 5 4 並びにサイドウォール 5 5 をマスクとして、p イオン等の比較的質量数が小さい n 型ドーパントを注入し、n 型ソースドレイン拡散層 5 6 b を形成する（図 1 7）。それにより、n 型ソースドレインエクステンション層 5 6 a および n 型ソースドレイン拡散層 5 6 b とからなる n 型ソースドレイン領域 5 6 が形成される。このとき、ゲート電極 5 4 にも当該イオンが注入される。

【 0 0 6 8 】

その後、高速回路部の nMOS 領域を開口したレジストマスク 7 4 を形成する。そして、当該レジストマスク 7 4、ゲート電極 1 4 並びにサイドウォール 1 5 をマスクとして、As イオンや Sb イオン等の比較的質量数が大きい n 型ドーパントを注入し、n 型ソースドレイン拡散層 1 6 b を形成する（図 1 8）。それにより、n 型ソースドレインエクステンション層 1 6 a および n 型ソースドレイン拡散層 1 6 b とからなる n 型ソースドレイン領域 1 6 が形成される。このとき、ゲート電極 1 4 にも当該イオンが注入される。

【 0 0 6 9 】

そして、高速回路部並びに低消費電力回路部上に、シリコン酸化膜 8 1 をゲート電極 1 4、2 4、5 4、6 4 およびサイドウォール 1 5、2 5、5 5、6 5 を覆うように、シリコンの再結晶化が開始される温度（約 5 5 0℃）以下の条件で

形成する（図 1 9）。

【 0 0 7 0 】

そして、ゲート電極 1 4， 2 4， 5 4， 6 4 およびサイドウォール 1 5， 2 5， 5 5， 6 5 をシリコン酸化膜 8 1 で覆った状態で、9 5 0 ～ 1 1 0 0 ℃ 程度の熱処理を行う。このとき非晶質シリコンの再結晶化が起こり、ゲート電極 1 4， 2 4， 5 4， 6 4 はポリシリコンとなる。

【 0 0 7 1 】

ここで、高速回路部の n M O S トランジスタのゲート電極 1 4 には A s イオンや S b イオン等の比較的質量数が多い（質量数 7 0 以上）イオンが大量に注入され、且つ、ゲート電極 1 4 およびサイドウォール 1 5 の表面はシリコン酸化膜 8 0 によって覆われているため、ゲート電極 1 4 のに内部応力として強い圧縮応力が残留する。それに伴い、ゲート電極 1 4 の下方のチャネル領域には、引っ張り応力が加わることになる。

【 0 0 7 2 】

一方、低消費電力回路部の n M O S トランジスタのゲート電極 5 4 には比較的質量数の小さいイオンのみが注入されているため、その内部に殆ど応力は残留しない。よって、ゲート電極 5 4 の下方のチャネル領域には殆ど応力が加わらない。

【 0 0 7 3 】

また、高速回路部並びに低消費電力回路部の p M O S トランジスタのゲート電極 2 4， 6 4 にも、比較的質量数の小さいイオンのみが注入されているため、その内部に殆ど応力は残留しない。よって、ゲート電極 2 4， 6 4 の下方のチャネル領域には殆ど応力が加わらない。

【 0 0 7 4 】

以上のように、本実施の形態に係る製造工程よれば高速回路部の n M O S トランジスタのチャネル領域のみに強い引っ張り応力を印加して性能向上を図ることができる。それと共に、高速回路部の p M O S トランジスタおよび低消費電力回路部の p M O S 並びに n M O S トランジスタのチャネル領域には殆ど応力は印加されないため、結晶欠陥の発生による漏れ電流の増大を抑えることができる。

【 0 0 7 5 】

例えば、モバイル通信装置用 L S I など、低消費電力回路部の M O S トランジスタのゲート電極およびソースドレイン領域をシリサイド化する場合は、シリコン酸化膜 8 1 の低消費電力回路部上を開口し、それをマスクとしてシリサイド化処理を行う。それにより、低消費電力回路部のゲート電極 5 4 , 6 4 上およびソースドレイン領域 5 6 , 6 6 上のそれぞれにシリサイド層 5 4 a , 6 4 a , 5 6 c , 6 6 c が形成される (図 2 0) 。

【 0 0 7 6 】

本実施の形態によれば高速回路部の n 型ドーパントと低消費電力回路部の n 型ドーパントとの間で質量数の差をつけることによって、高速回路部の n M O S トランジスタのチャネル領域にのみ強い引っ張り応力を印加することができる。つまり、ゲート電極 1 4 , 2 4 , 5 4 , 6 4 を全て同一の工程で形成しても、所定の n M O S トランジスタのチャネル領域のみに引っ張り応力を印加することができる。

【 0 0 7 7 】

< 実施の形態 6 >

上述したように、本発明に係る n M O S トランジスタにおいては、結晶欠陥が発生しやすく、M O S トランジスタにおける接合リーク電流やゲート電流、サブスレッショルドリーク電流等の漏れ電流が増加してしまう。漏れ電流が大きくなる可能性が従来のものよりも高くなるという問題がある。そこで、本実施の形態においては、その問題を解決するための手法を示す。

【 0 0 7 8 】

即ち、例えば実施の形態 1 において図 2 に示した工程で非単結晶シリコンのゲート電極 1 4 を形成した後、当該ゲート電極 1 4 , 2 4 およびシリコン基板 1 0 の表面を酸化する (このとき、シリコン基板 1 0 上にはシリコン酸化膜 3 1 が残っているため、正確には酸化膜を再び酸化することになる)。それにより、図 2 1 のようにゲート電極 1 4 , 2 4 の表面にはシリコン酸化膜 9 0 が形成されるが、このときゲート電極 1 4 , 2 4 のエッジ部にシリコン酸化膜のバースピーク 9 0 a が形成される。それ以降は、図 3 ~ 図 9 で示した工程と同様であるので説明

は省略する。

【0079】

バースピーク 90a が形成されることによりゲート電極 14, 24 のエッジ部の絶縁膜厚が厚くなるため、トンネル電流が抑制されたりゲート電界が緩和されるため、サブスレッショルドリーク電流を小さくでき、MOS トランジスタの漏れ電流の増加が抑えられる。よって、特にチャネル領域に引っ張り応力が印加された本発明に係る nMOS トランジスタのように、漏れ電流の増加が懸念される MOS トランジスタに対して有効である。

【0080】

また、その後の工程における加熱処理の際に、ゲート電極 14, 24 をシリコン酸化膜 90 で被覆したまま行うことで、非シリサイド領域のポリシリコンゲート電極の抵抗値のばらつきが抑えられるという効果も得ることができる。

【0081】

【発明の効果】

本発明に係る半導体装置によれば、シリコン基板における所定のゲート電極の下方に引っ張り応力を印加することができる。よって、シリコン基板のその部分の格子間隔は広がる。例えば、当該ゲート電極を nMOS トランジスタに適用させると、キャリア移動度が向上し当該 nMOS トランジスタの性能向上に寄与できる。

【0082】

また、本発明に係る半導体装置の製造方法によれば、所定のゲート電極に内部応力として圧縮応力を残留させ、その下のシリコン基板に引っ張り応力を印加することができる。よって、シリコン基板のその部分の格子間隔は広がる。例えば、当該ゲート電極を nMOS トランジスタに適用させると、キャリア移動度が向上し当該 nMOS トランジスタの性能向上に寄与できる。さらに、複数のゲート電極を同一の工程で形成しても、ゲート電極の種類に応じて注入するイオンの質量に差をつけたり、あるいは所定のゲート電極上の所定の膜を熱処理前に除去することによって、容易に所望のゲート電極のみに強い圧縮応力を発生させることができ、製造工程の複雑化は抑えられる。

【図面の簡単な説明】

【図 1】 実施の形態 1 に係る半導体装置の製造工程を示す図である。

【図 2】 実施の形態 1 に係る半導体装置の製造工程を示す図である。

【図 3】 実施の形態 1 に係る半導体装置の製造工程を示す図である。

【図 4】 実施の形態 1 に係る半導体装置の製造工程を示す図である。

【図 5】 実施の形態 1 に係る半導体装置の製造工程を示す図である。

【図 6】 実施の形態 1 に係る半導体装置の製造工程を示す図である。

【図 7】 実施の形態 1 に係る半導体装置の製造工程を示す図である。

【図 8】 実施の形態 1 に係る半導体装置の製造工程を示す図である。

【図 9】 実施の形態 1 に係る半導体装置の製造工程を示す図である。

【図 10】 実施の形態 1 に係る半導体装置における pMOS トランジスタおよび従来の pMOS トランジスタのチャネル長方向の断面における応力分布図である。

【図 11】 実施の形態 2 に係る半導体装置の製造工程を示す図である。

【図 12】 実施の形態 3 に係る半導体装置の製造工程を示す図である。

【図 13】 実施の形態 4 に係る半導体装置の製造工程を示す図である。

【図 14】 実施の形態 4 に係る半導体装置の製造工程を示す図である。

【図 15】 実施の形態 4 に係る半導体装置の製造工程を示す図である。

【図 16】 実施の形態 4 に係る半導体装置の製造工程を示す図である。

【図 17】 実施の形態 5 に係る半導体装置の製造工程を示す図である。

【図 18】 実施の形態 5 に係る半導体装置の製造工程を示す図である。

【図 19】 実施の形態 5 に係る半導体装置の製造工程を示す図である。

【図 20】 実施の形態 5 に係る半導体装置の製造工程を示す図である。

【図 21】 実施の形態 6 に係る半導体装置の製造工程を示す図である。

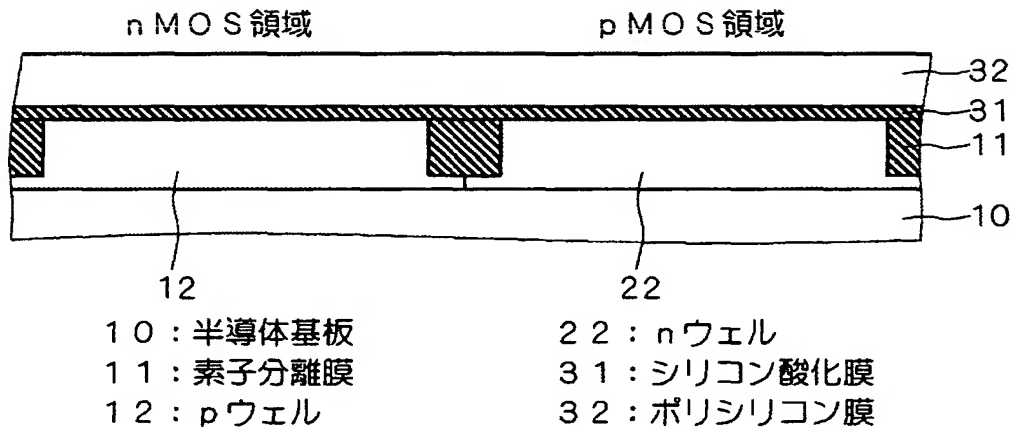
【符号の説明】

10 シリコン基板、11 素子分離膜、12, 52 p ウェル、13, 23, 53, 63 ゲート絶縁膜、14, 24, 54, 64 ゲート電極、15, 25, 55, 65 サイドウォール、16, 56 n 型ソースドレイン領域、16a, 56a n 型ソースドレインエクステンション層、16b, 56b n 型ソ

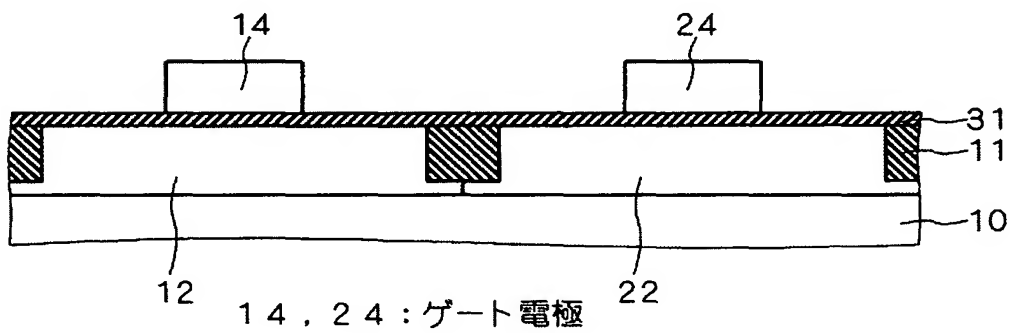
ースドレイン拡散層、22, 62 nウェル、26, 66 p型ソースドレイン領域、26a, 66a p型ソースドレインエクステンション層、26b, 66b p型ソースドレイン拡散層、31 シリコン酸化膜、32 非単結晶シリコン膜、40, 80, 81 シリコン酸化膜、90 シリコン酸化膜、90a バーズピーク。

【書類名】 図面

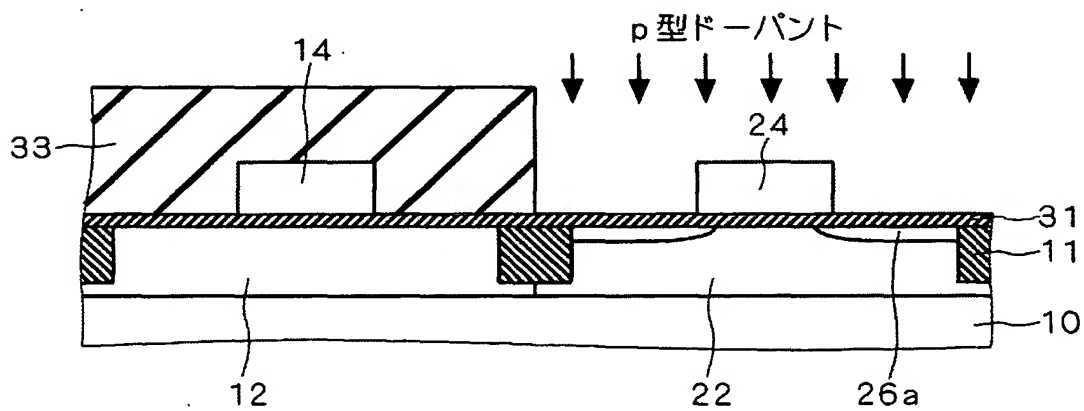
【図 1】



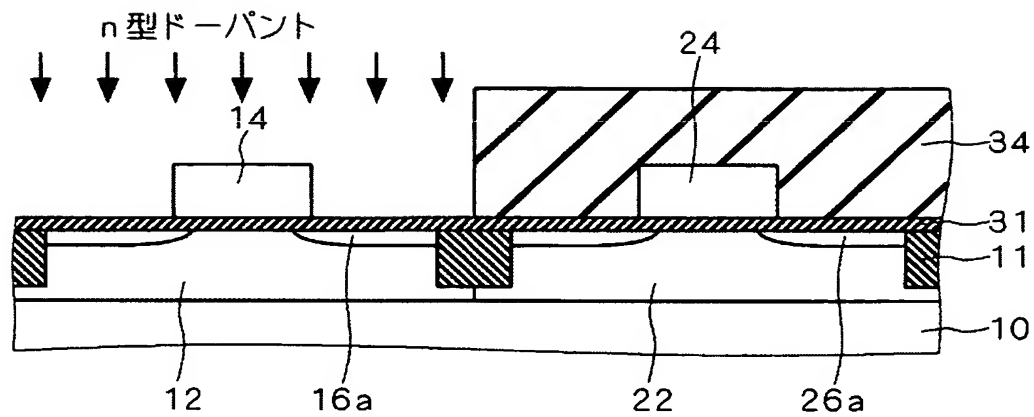
【図 2】



【図 3】

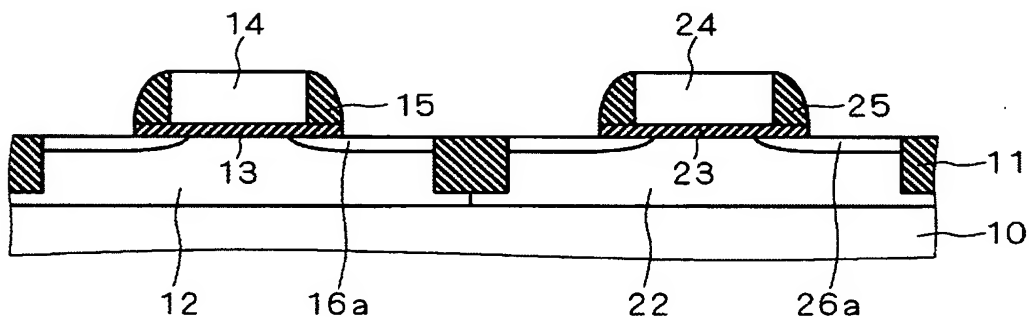


【図 4】



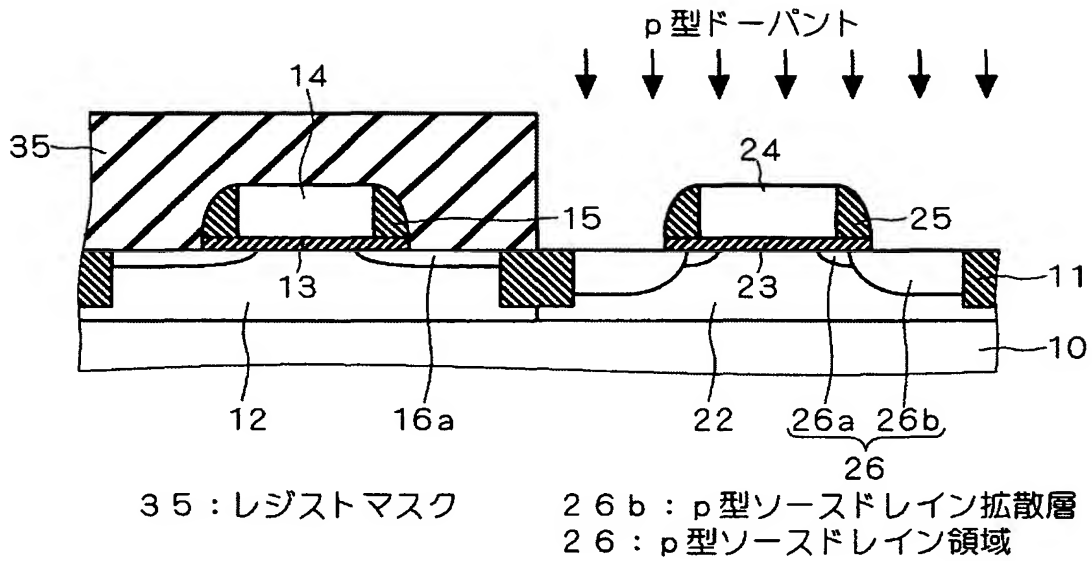
3 4 : レジストマスク 1 6 a : n 型ソースドレインエクステンション層

【図 5】

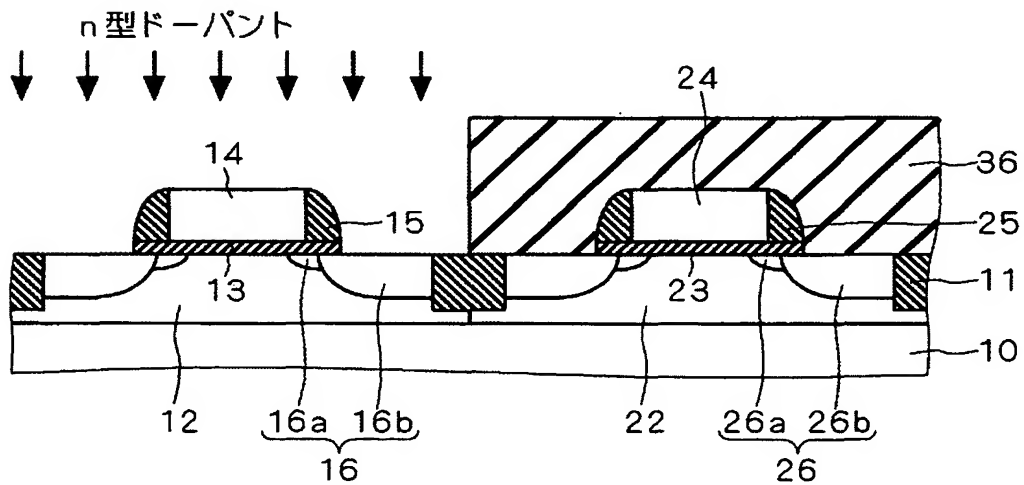


1 5 , 2 5 : サイドウォール 1 3 , 2 3 : ゲート絶縁膜

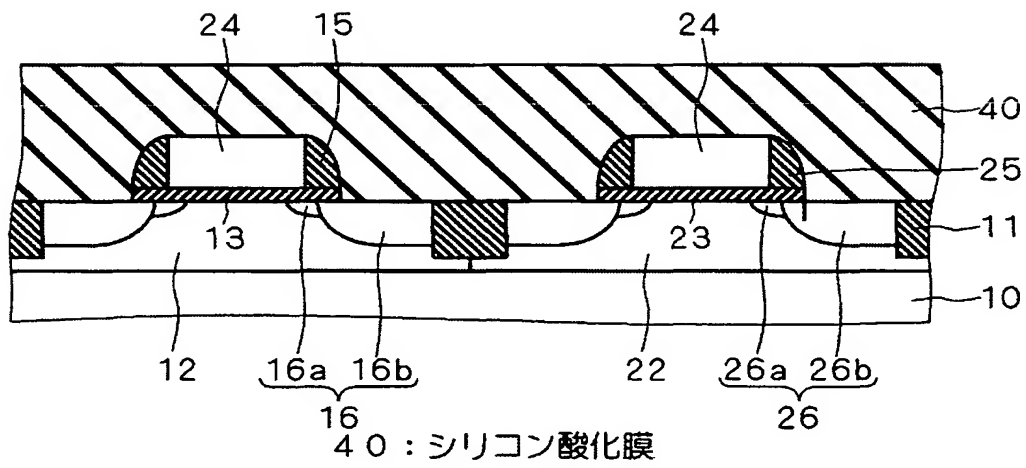
【図 6】



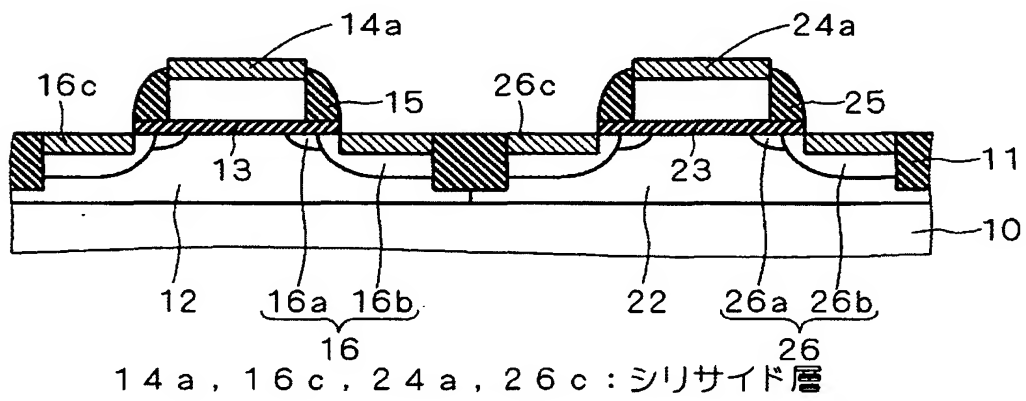
【図 7】



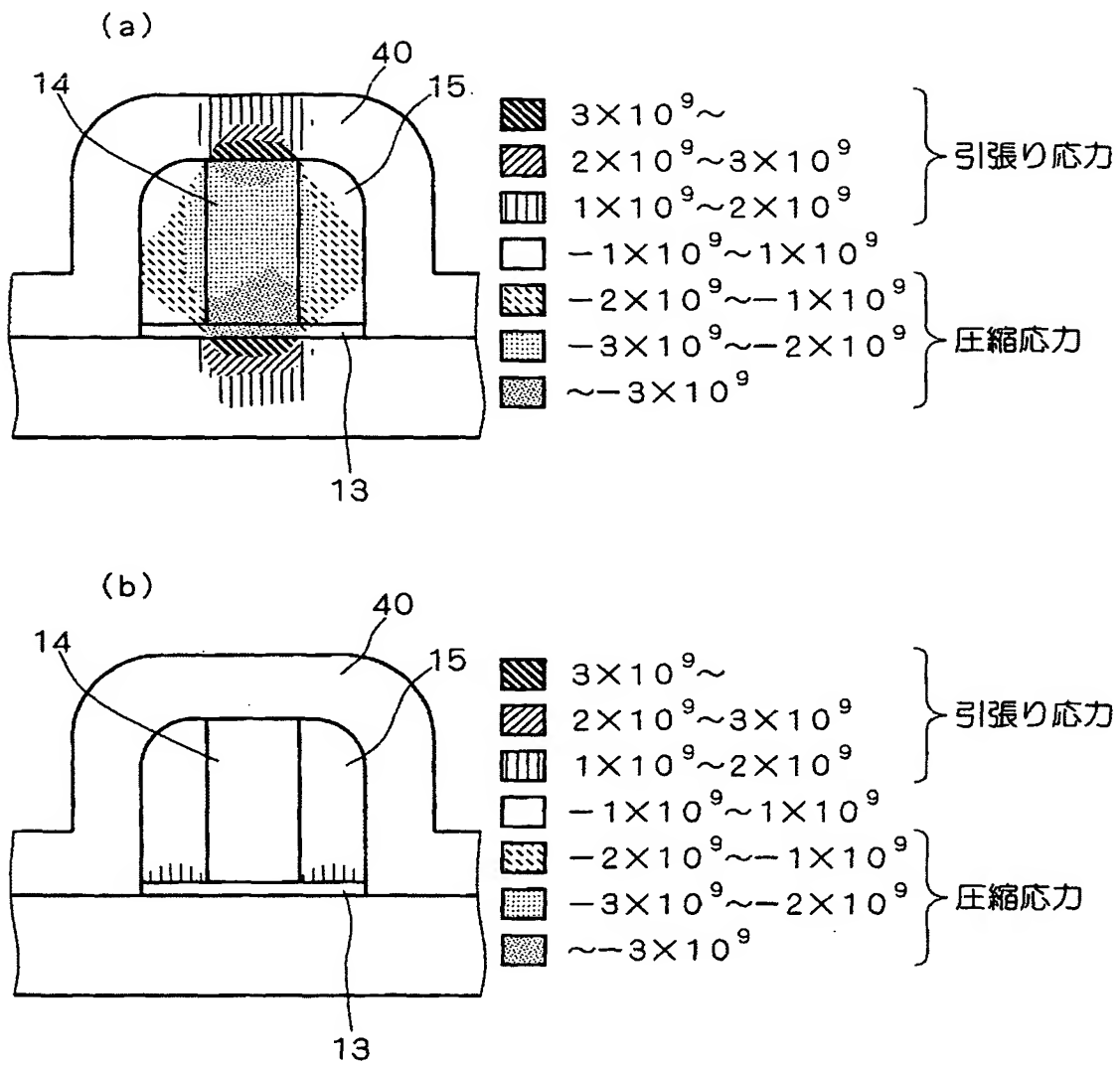
【図 8】



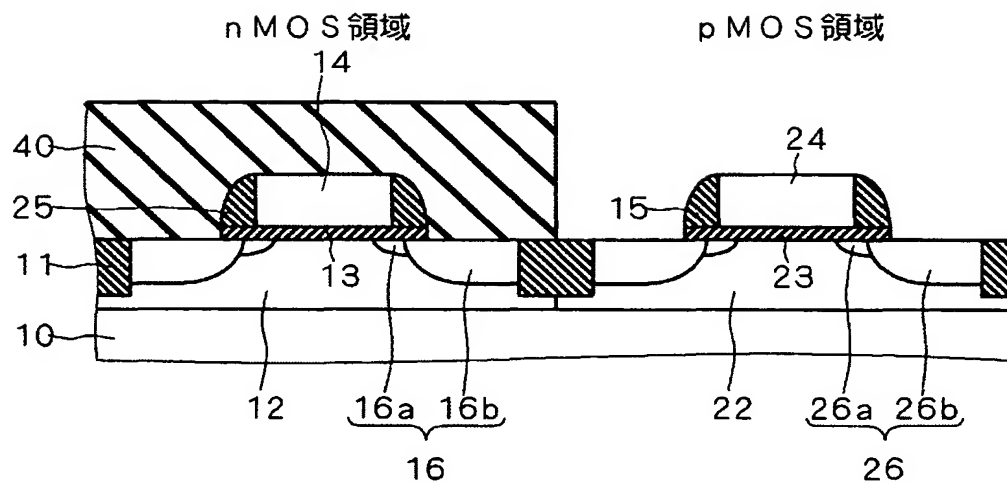
【図 9】



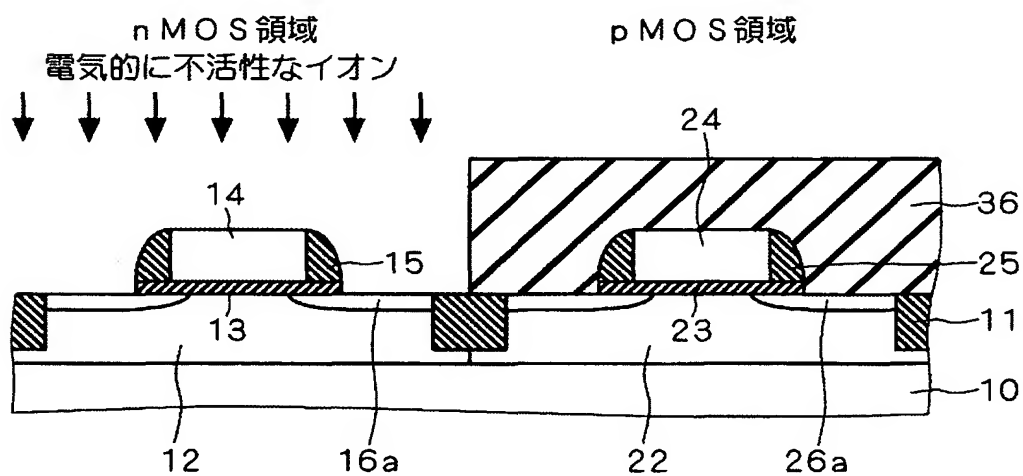
【図10】



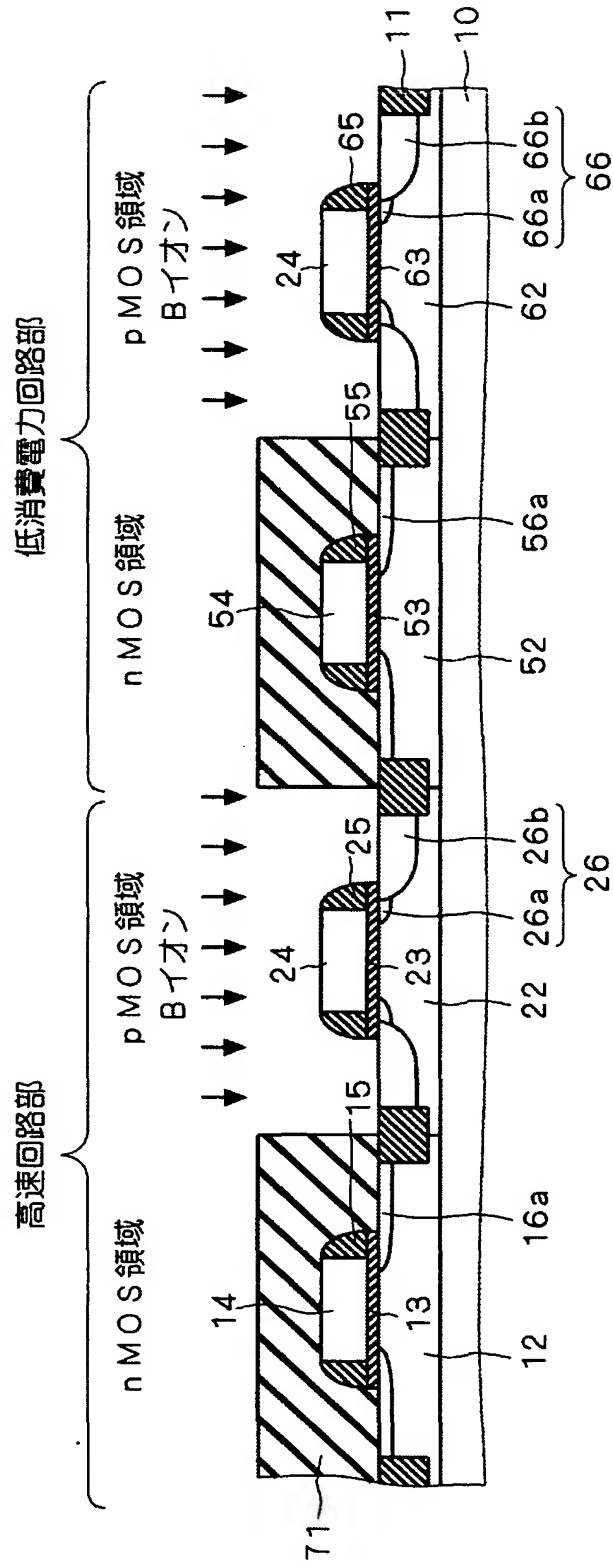
【図 1 1】



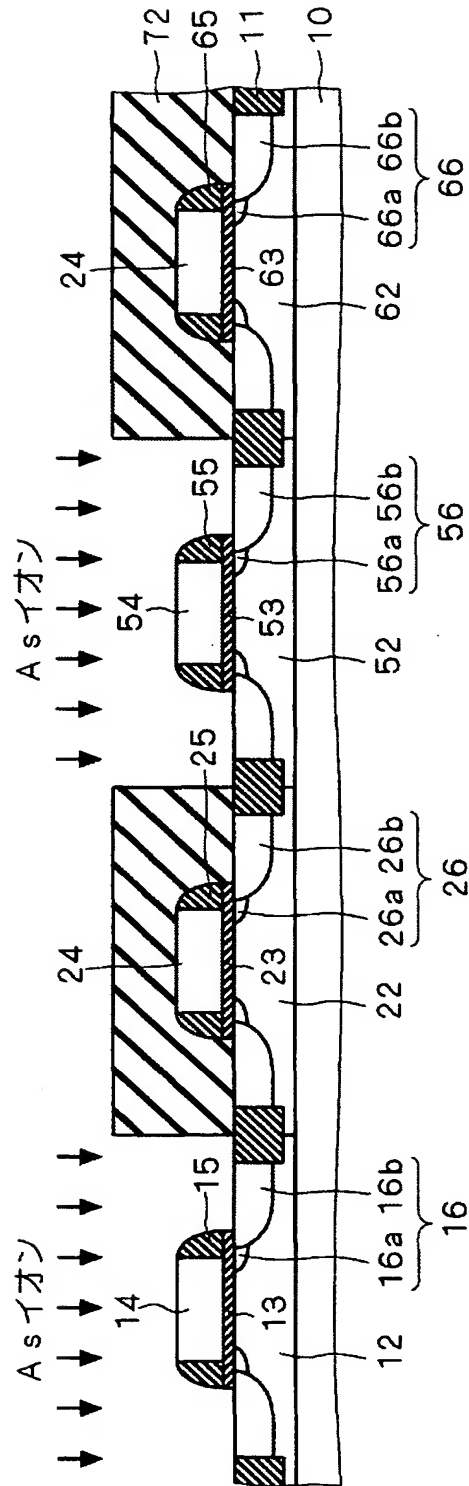
【図 1 2】



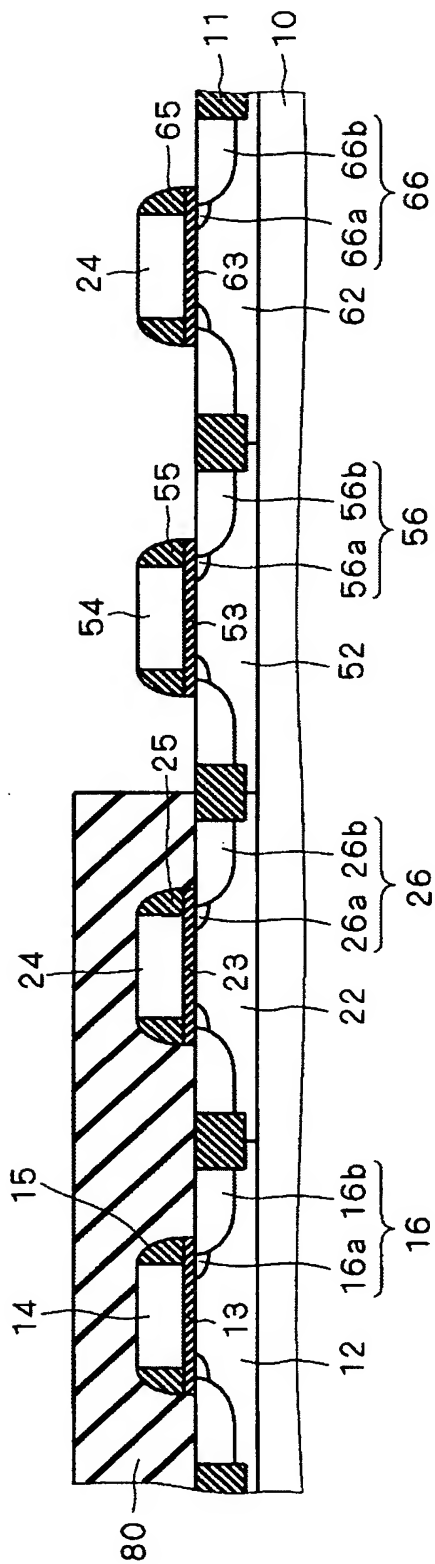
【図 13】



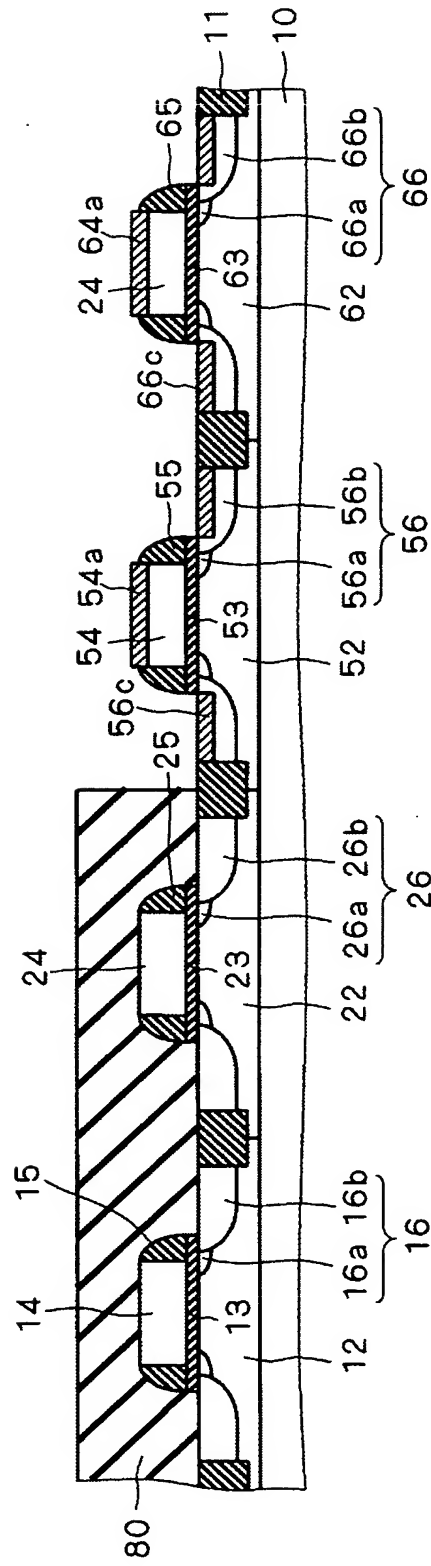
【図 1 4】



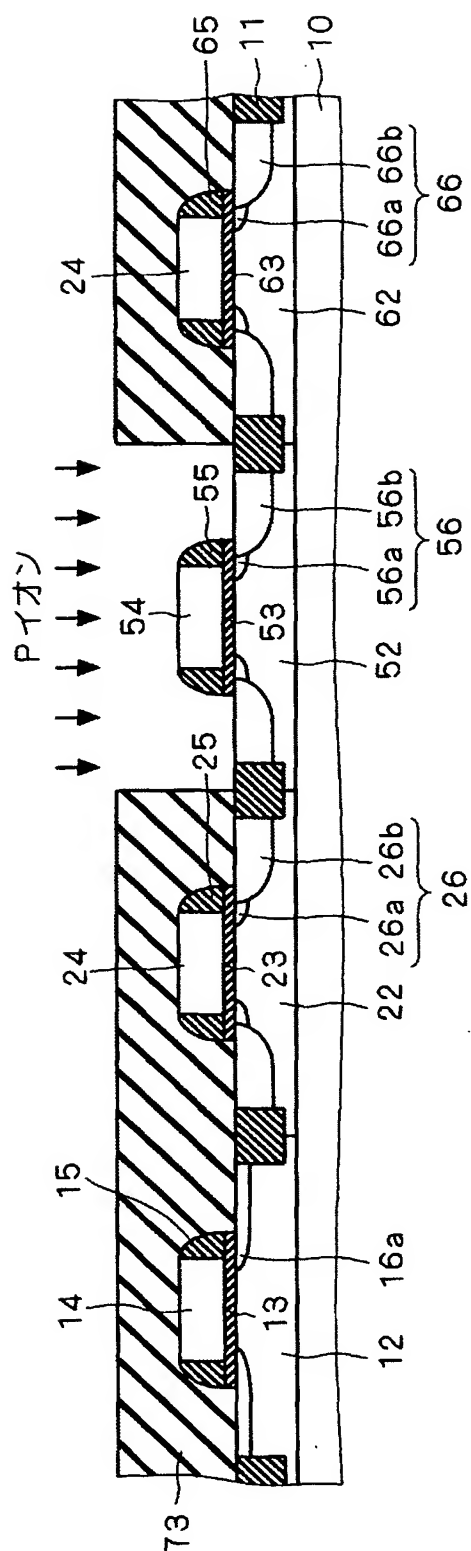
【図 1 5】



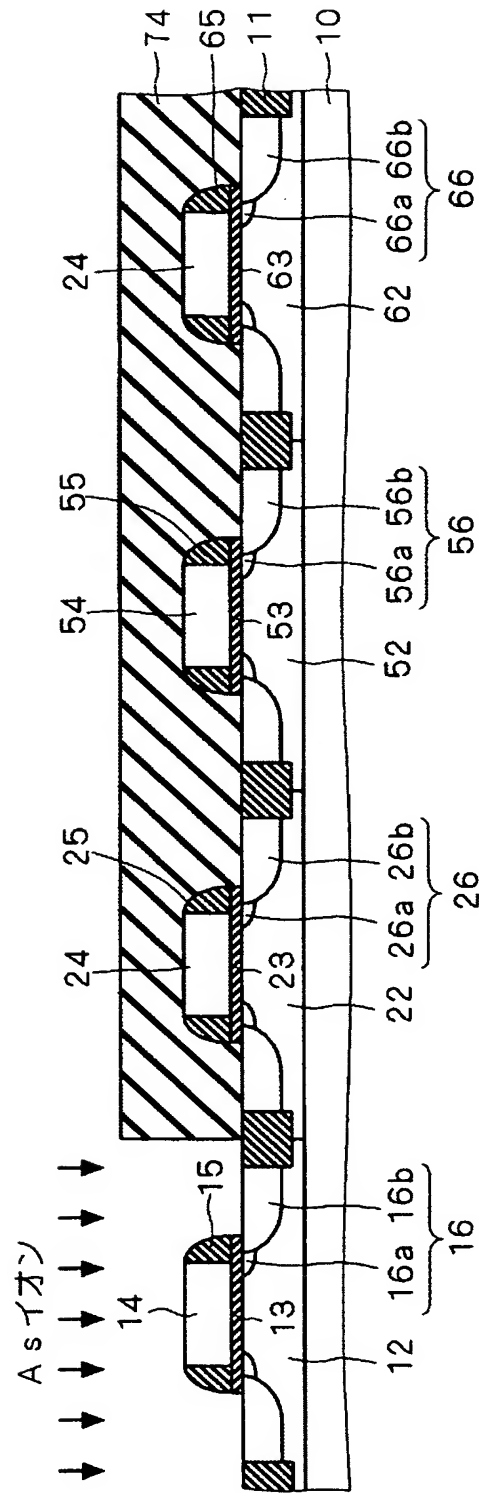
【図 1 6】



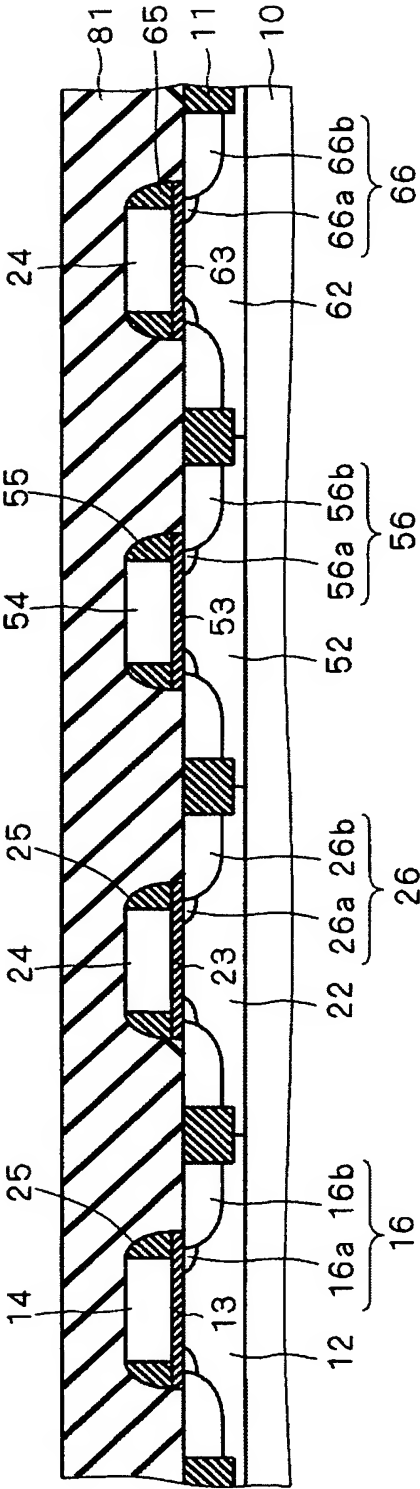
【図 1 7】



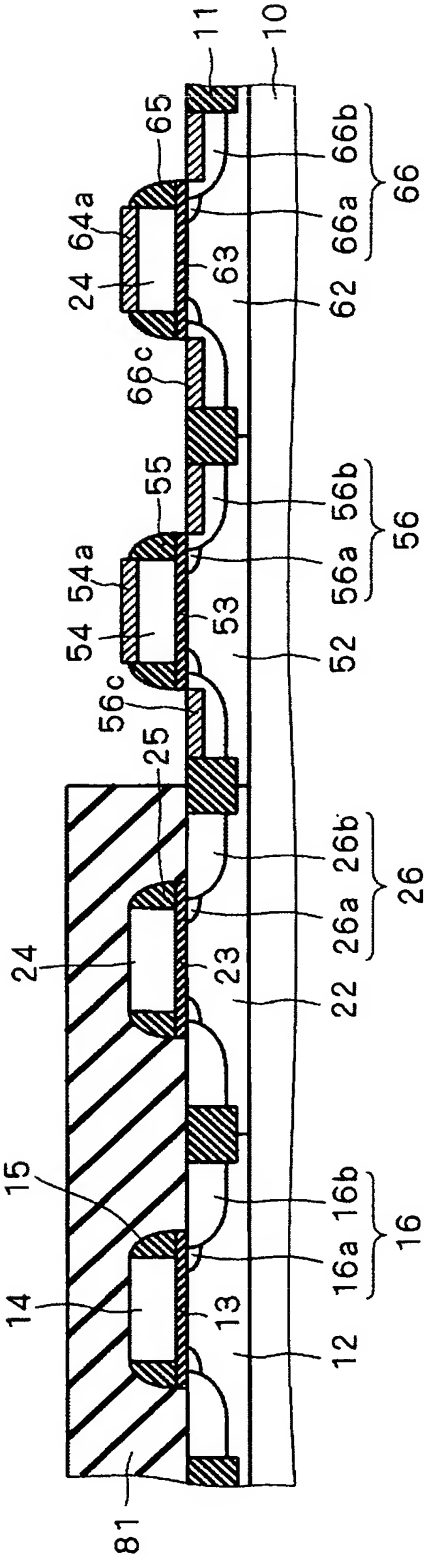
【図 1 8】



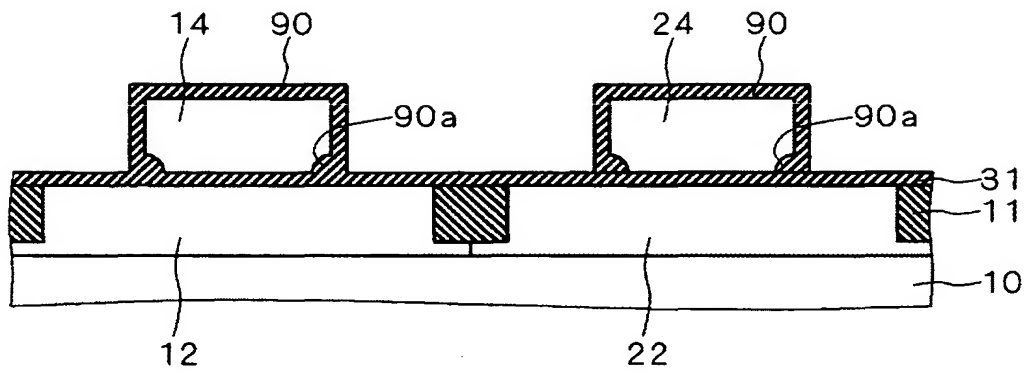
【図 1 9】



【図 2 0】



【図 2 1】



9 0 : シリコン酸化膜

9 0 a : バーズビーク

【書類名】 要約書

【要約】

【課題】 所望のMOSトランジスタのみにチャネル領域に引っ張り応力を印加してキャリア移動度を向上させ、且つ、製造工程の複雑化を抑える。

【解決手段】 シリコン基板10上にnMOSトランジスタのゲート絶縁膜13およびゲート電極14を非晶質シリコンで形成し、ゲート電極14をマスクとして例えばAsやSb等の比較的質量数が高い（質量数70以上）n型ドーパントを注入するすることで、nMOSトランジスタのソースドレイン領域を形成する。それにより、ゲート電極14は非晶質化する。そして、ゲート電極14が再結晶化する温度（約550℃）以下の温度条件でゲート電極14を覆うようにシリコン酸化膜40を形成し、その後1000℃程度の加熱処理を行う。それにより、ゲート電極14内に強い圧縮応力が残留すると共に、その下のチャネル領域には強い引っ張り応力が印加され、当該nMOSトランジスタのキャリア移動度は向上する。

【選択図】 図10

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 6 0 1 3]

1. 変更年月日 1 9 9 0 年 8 月 2 4 日

[変更理由] 新規登録

住 所 東京都千代田区丸の内 2 丁目 2 番 3 号

氏 名 三菱電機株式会社